

[Original document](#)

WIRING FORMING METHOD OF SEMICONDUCTOR DEVICE

Publication number: JP9135005

Publication date: 1997-05-20

Inventor: RI SOUNIN

Applicant: SAM SUNG ELECTRONIC

Classification:

- international: **H01L21/768; H01L21/8239; H01L21/8242; H01L27/108; H01L21/70; H01L27/108;** (IPC1-7): H01L27/108; H01L21/768; H01L21/8242

- European:

Application number: JP19960138315 19960531

Priority number(s): KR19950039443 19951102

Also published as:

 US6001683 (A1)

[View INPADOC patent family](#)

[View list of citing documents](#)

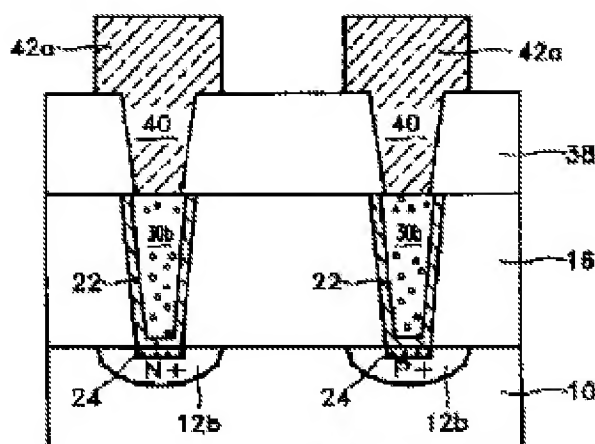
[Report a data error here](#)

Abstract of JP9135005

PROBLEM TO BE SOLVED: To form a contact hole for wiring small in aspect ratio on a landing pad by forming a landing pad charged with high fusing point at the peripheral circuit part at the same time, when forming the bit line of a memory cell part.

SOLUTION: The bit line of a memory cell is made by double inlay method. At this point, a contact hole for formation of a landing pad is made to be connected with the n-type or p-type active region 12b of a peripheral circuit part at the same time, and this is made a landing pad 30b charged with high fusing point metal (or high fusing point metallic compound). A contact hole 40 for wiring charged with aluminum is set to this to make a contact.

Hereby, this has an effect of reducing the thickness of an effective insulating film, so the etching film is easy to etch for forming a contact hole for wiring, and also a contact hole for wiring small in aspect ratio can be made on the landing pad.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-135005

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 B
21/8242			21/90	C
21/768			27/10	6 8 1 C

審査請求 未請求 請求項の数16 O L (全 8 頁)

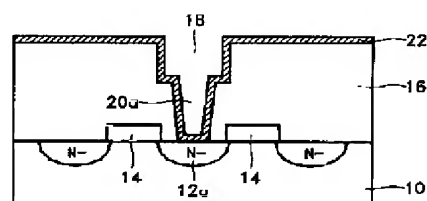
(21)出願番号	特願平8-138315	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日	平成8年(1996)5月31日	(72)発明者	李相忍 大韓民国京畿道水原市八達区197番地梅灘 2洞東南ビル9棟101号
(31)優先権主張番号	9 5 - 3 9 4 4 3	(74)代理人	弁理士 大塚 康徳 (外1名)
(32)優先日	1995年11月2日		
(33)優先権主張国	韓国 (K R)		

(54)【発明の名称】 半導体装置の配線形成方法

(57)【要約】 (修正有)

【課題】 ランディングパッドを利用する配線形成方法を提供する。

【解決手段】 メモリセル部と周辺回路部を有する半導体装置で、ビットラインを通常のポリサイドでない高融点金属として使用してN形活性領域とP形活性領域に同時にコンタクトを形成するようにした後、メモリセル部にビットラインを形成させる際、同時に周辺回路部にランディングパッドを形成してこのランディングパッド上に配線用のコンタクトホールを形成することによりコンタクトの横縦比を低くすることができる。従って、本発明は金属配線層の形成時、アルミニウムリフロー工程等により配線用のコンタクトホールを充填しやすく、これにより前記配線用のコンタクトホールに蒸着される金属の段差がよくなり、コンタクトの抵抗が小さくなり、これに因して信頼度が高くなる。





【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の配線形成方法に関し、特にランディングパッドを利用した配線形成方法に関する。

【0002】

【従来の技術】半導体での配線技術はコンタクトホール形成と配線の2つに分けられる。最近、半導体の高集積化により配線の幅は減少し、特にコンタクトについては水平方向の大きさが小さくなる反面、垂直方向への大きさが増加してコンタクトの横縦比が増加する問題点がある。

【0003】また、素子の動作速度の向上と配線の信頼度の向上を図るためには配線の多層化が必要であり、特に層間絶縁膜の平坦化のためにコンタクトホールのフィリングは必須である。現在の多層配線形成技術の充填技術としては物理気相蒸着法と化学気相蒸着法が主に使用されている。物理気相蒸着法は一般的にスパッタリング方式によりアルミニウム金属等を蒸着する方法である。前記物理気相蒸着法では、コンタクトホールの大きさが1 μ m以下に小さくなり横縦比が大きくなる場合、コンタクトホールに積層された金属の段差が不良になる。

【0004】また、段差の特性の優秀な化学気相蒸着法（Chemical Vapor Deposition：CVD）は今までアルミニウムを蒸着するのに多くの問題点を有している。最近、前記のような問題点を解決するために、常温でアルミニウムをスパッタリング方式で蒸着した後、500℃乃至550℃の高温でアルミニウムをリフローさせコンタクトホールを充填する新しい概念の方法が採択されている。

【0005】しかし、256M DRAM及び1G DRAMに高集積化されながらコンタクトホールの横縦比がさらに大きくなることにより、金属配線層の形成時前記アルミニウムリフロー方法を使用してもコンタクトホールを充填しにくい。これに因して蒸着される金属配線の段差が悪化し、また接触抵抗が大きくなる問題点がある。

【0006】

【発明が解決しようとする課題】従って、本発明の目的は金属配線形成時発生される前記従来の問題点を解決し、水平方向の大きさが小さく垂直方向に深さが深いコンタクトに効果的にアルミニウムリフロー工程を適用できるようにコンタクトの横縦比を低くすることのできるランディングパッドを利用した配線形成方法を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するための本発明による半導体装置の配線形成方法は、メモリセル部と周辺回路部を有する半導体装置の配線形成方法において、シリコン基板上にメモリセル部の活性領域、周辺回路部の活性領域及びゲート電極を形成した後、この

結果物の全面に第1絶縁膜を積層する工程と、前記第1絶縁膜を蝕刻し、前記メモリセル部の活性領域に接続されるリセス構造と前記周辺回路部の活性領域に接続されるランディングパッド形成用のコンタクトホールを同時に形成する工程と、前記結果物の全面にオーム接触用の金属膜を積層する工程と、前記結果物の全面に拡散障壁用の金属化合物膜を積層する工程と、前記結果物の全面に金属物質膜を積層して前記リセス構造及び前記ランディングパッド形成用のコンタクトホールを充填させる工程と、前記金属物質膜で充填された前記リセス構造及び前記ランディングパッド形成用のコンタクトホール部分以外の前記拡散障壁用の金属化合物膜及び前記金属物質膜を除去してビットライン及びランディングパッドを形成する工程と、前記結果物の全面に第2絶縁膜を積層する工程と、前記ランディングパッド上の前記第2絶縁膜を蝕刻して配線用のコンタクトホールを形成する工程と、前記結果物の全面に配線用の金属を積層して前記配線用のコンタクトホールを充填させる工程と、前記配線用の金属をパターンニングして配線を形成する工程を順次的に行うことを特徴とする。

【0008】望ましい実施例によれば、前記第1絶縁膜を積層した後、前記第1絶縁膜の全面にSOG（Spin On Glass）を積層し、全面蝕刻方法として前記SOGと前記第1絶縁膜の一部を除去することにより平坦化することの特徴とする。また、前記オーム接触用の金属膜を積層した後、前記リセス構造及び前記ランディングパッド形成用のコンタクトホールの下の前記シリコン基板の表面で前記オーム接触用の金属膜をシリコンと反応させオーム接触層を選択的に形成し、前記オーム接触用の金属膜の未反応部をストリップすることの特徴とする。

【0009】

【発明の実施の形態】以下、添付の図面に基づき本発明の実施例をさらに詳しく説明する。まず、図1及び図12を参照して説明する。シリコン基板10上に通常の方法としてゲート電極14を形成し、またメモリセル部の活性領域12aと周辺回路部の活性領域12b、即ちソース領域またはドレイン領域を形成する。

【0010】次いで、第1絶縁膜16、例えばBPSG（Borophosphosilicate Glass）またはUSG（Undoped SiO₂ Glass）を化学気相蒸着法で積層する。以降、上記の結果物の全面にSOGを塗布して平坦にした後、プラズマ全面蝕刻方法として前記SOGと前記第1絶縁膜16の一部を除去して平坦化させる。この際、化学機械研磨法（Chemical Mechanical Polishing：CMP）を用いて前記第1絶縁膜を平坦化させることができる。

【0011】次いで、メモリセル部のビットラインは二重象眼法（Dual-damascene）で形成される。上記の動作を以下に更に詳しく説明する。まず前記結果物の全面にビットラインパターンと反対にパターンニングする逆パターンニングをし、通常の蝕刻工程により前記第1絶縁膜1

6を約0.4 μm の深さに蝕刻して溝18を形成する。

【0012】以降、写真工程及び蝕刻工程により前記第1絶縁膜16を再び蝕刻し、前記メモリセル部のN形活性領域12aに接続するように前記溝18の下にダイレクトコンタクトホール20aを形成し、同時に前記周辺回路部のN形またはP形活性領域12bに接続されるようにランディングパッド形成用のコンタクトホール20bを形成する。従ってメモリセル部のビットラインのためのリセス構造は前記ダイレクトコンタクトホール20aと溝18よりなる。

【0013】引き続き、上記処理の結果物の全面にスパッタリング方法を利用してチタンでオーム接触用の金属膜22を積層する。この際、前記オーム接触用の金属膜22をW、Mo、Ta、Ti、Zr等で形成することができる。次に、図2及び図13を参照にして説明する。前記ダイレクトコンタクトホール20aと前記ランディングパッド形成用のコンタクトホール20bの下の前記半導体基板10の表面で、前記オーム接触用の金属膜22、即ちチタン膜をシリコンと反応させTiSiオーム接触層24を選択的に形成する。

【0014】次いで、前記結果物をN₂またはAr雰囲気下のRTA (Rapid Thermal Annealing) 装置を利用して500℃乃至700℃で10秒乃至30秒間熱処理した後、硫酸または他の化学溶液を使用して前記チタン膜22の内、未反応部をストリップする。また、N₂やAr雰囲気下のRTA装置を利用して700℃乃至950℃で10秒乃至30秒間熱処理し、前記TiSiオーム接触層24を高い電気伝導度を有する安定したC54-TiSi₂に変換させる。

【0015】次に、図3及び図14に示すように、上記処理の結果物の全面にチタンナイトライド (TiN) を反応性スパッタリング方法により200Å乃至1000Åの厚さで蒸着して拡散障壁用の金属化合物膜26を形成する。この際、前記拡散障壁用の金属化合物膜26をTiN、WN、Ta₂N、ZrN等の高融点金属窒化物及びTiC、WC、TaC、ZrC等の高融点金属炭化物の中の1つで形成することができる。

【0016】更に、図4及び図15に示すように、上記処理の結果物の全面に高温で易く酸化されない高融点金属、例えばW、Mo、Ta、Ti、Zrの中の1つを化学気相蒸着法により1000Å乃至5000Åの厚さで蒸着することにより金属物質膜28を形成する。また、前記溝18と前記ダイレクトコンタクトホール20aよりなるリセス構造とランディングパッド形成用のコンタクトホール20bを充填する。

【0017】この際、前記高融点金属として高融点金属化合物、即ち前記高融点金属の窒化物及び前記高融点金属の炭化物のうち1つを使用することもできる。N形活性領域とP形活性領域に同時にコンタクトを形成するようにビットラインには通常使用するポリサイドでない高融点金属や高融点金属化合物を使用する。次に、図5及

び図16に示すように、化学機械研磨法やプラズマ全面蝕刻法を利用し、前記高融点金属（または高融点金属化合物）で充填された前記リセス構造及びランディングパッド形成用のコンタクトホール20bの部分以外の前記拡散障壁用の金属化合物膜26と前記金属物質膜28を除去することにより、ビットライン30aとランディングパッド30bを形成する。

【0018】図6及び図17、図7及び図18に示すように、上記処理の結果物の全面にシリコン窒化膜32を形成した後、前記メモリセル部に通常のキャパシタ形成方法と同一の方法としてキャパシタの下部電極34、Ta₂O₅誘電膜及び上部電極36を形成し、次いで周辺回路部の前記シリコン窒化膜32を除去する。次に、図8及び図19に示すように、前記結果物の全面に第2絶縁膜38を積層する。

【0019】更に、図9及び図20に示すように、前記周辺回路部に形成された前記ランディングパッド30b上の前記第2絶縁膜38を蝕刻して配線用のコンタクトホール40を形成する。図10及び図21に示すように、配線用のコンタクトホール40の下に露出した前記ランディングパッド30bの表面の酸化された前記高融点金属膜をスパッタリングエッチング方法を用いて除去した後（または酸化された高融点金属膜を除去した後、障壁金属を蒸着する）、前記結果物の全面に高い電気伝導度を有するアルミニウムを蒸着し配線用の金属層42を形成して前記配線用のコンタクトホール40を充填させる。

【0020】この際前記配線用の金属層42をアルミニウム以外にCu、Ag、Au等の金属及びAl-Cu、Al-Si-Cu、Ag-Cu等の金属合金で形成することができる。前記配線用のコンタクトホール40を充填させる方法としてはアルミニウムリフロー方法、高温スパッタリング方法及び化学気相蒸着法等があり、本発明ではAlリフロー方法を使用した但是这に限定されない。

【0021】アルミニウムリフロー方法は、まず100℃以下の温度でAl-Si-Cu合金を2000Å乃至6000Åの厚さで蒸着し、真空状態を保ちながらアルミニウム溶融点の0.6倍以上の温度で、望ましくは450℃以上の温度を30秒乃至180秒間維持して金属原子の移動を誘発させることにより、前記配線用のコンタクトホール40を充填させることである。

【0022】従って、周辺回路部には高融点金属（または高融点金属化合物）で充填されたランディングパッド30bとアルミニウムが充填された配線用のコンタクトホール40を合わせてコンタクトを形成する。次に、図11及び図22に示すように、最後に写真及び蝕刻工程により前記配線用の金属層42をパターンニングして配線ライン42aを形成する。

【0023】

【発明の効果】従って、前述した本発明の配線形成方法

によれば、メモリ素子、特にDRAMの製造工程中メモリセル部のビットラインを形成させる時、同時に周辺回路部に高融点金属で充填されたランディングパッドを形成することにより、後続の配線用のコンタクトホールを形成する工程で実効絶縁膜の厚さを減少させる効果があるので、配線用のコンタクトホールを形成するために前記絶縁膜をエッチングしやすくまた前記ランディングパッド上に横縦比の小さい配線用のコンタクトホールが形成される。

【0024】従って金属配線層の形成時、アルミニウムリフロー工程等により配線用のコンタクトホールを充填しやすく、これにより前記配線用のコンタクトホールに蒸着される金属の段差がよくなり、コンタクトの抵抗が小さくなり、これに因して信頼度が増加される。本発明は前記実施例に限定されなく、本発明の技術的思想内で当業者により多くの変形が可能であることは明白である。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図2】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図3】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図4】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図5】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図6】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図7】本発明の実施例による半導体装置の配線形成方

法におけるメモリセル部の工程断面図である。

【図8】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図9】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図10】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図11】本発明の実施例による半導体装置の配線形成方法におけるメモリセル部の工程断面図である。

【図12】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図13】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図14】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図15】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図16】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図17】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図18】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

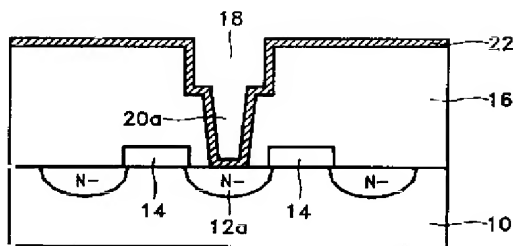
【図19】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図20】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

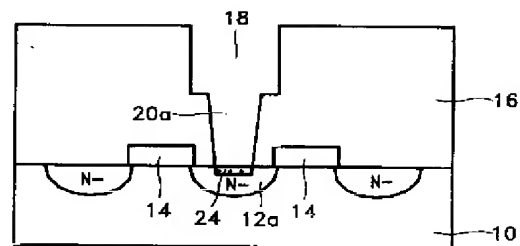
【図21】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

【図22】本発明の実施例による半導体装置の配線形成方法における周辺回路部の工程断面図である。

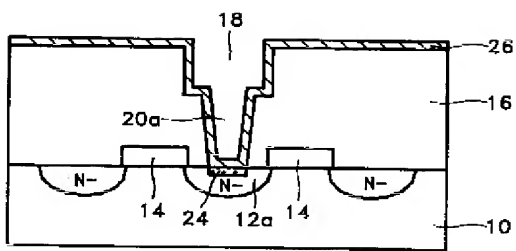
【図1】



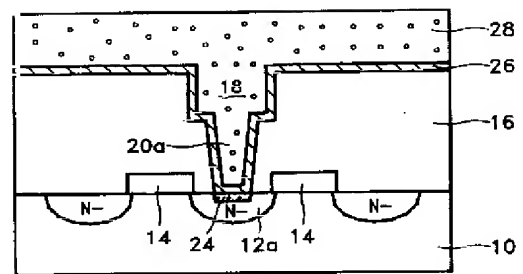
【図2】



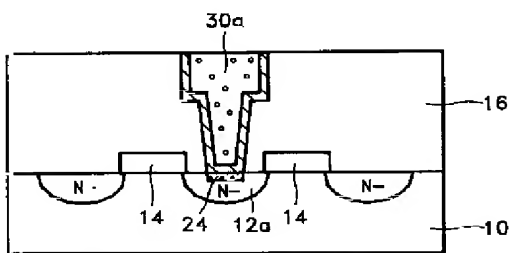
【図3】



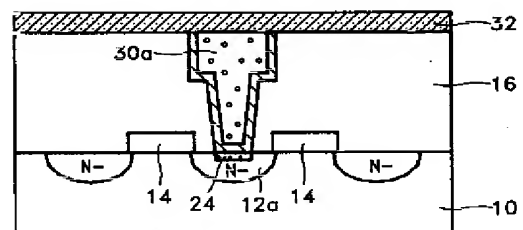
【図4】



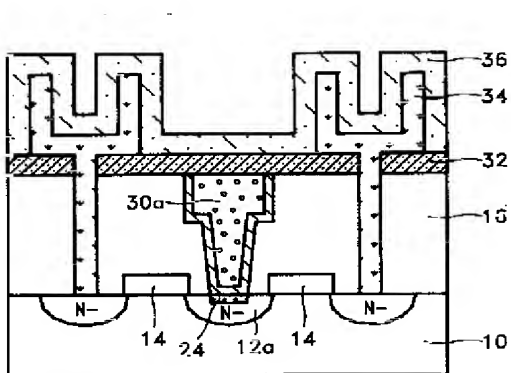
【図5】



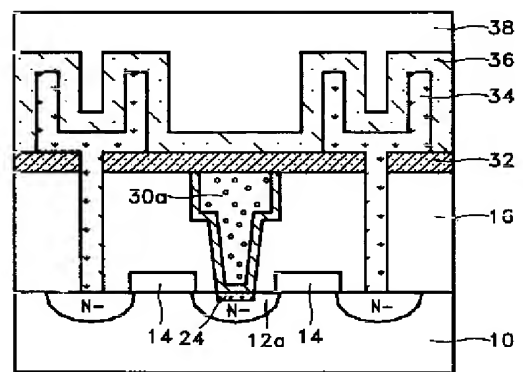
【図6】



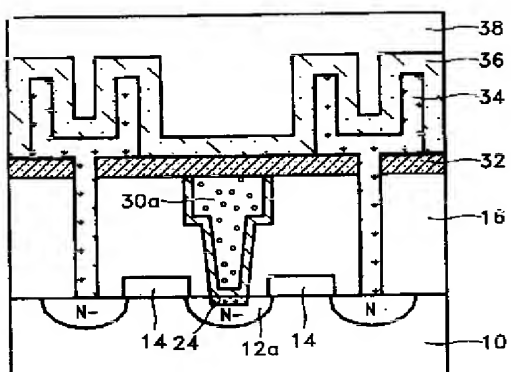
【図7】



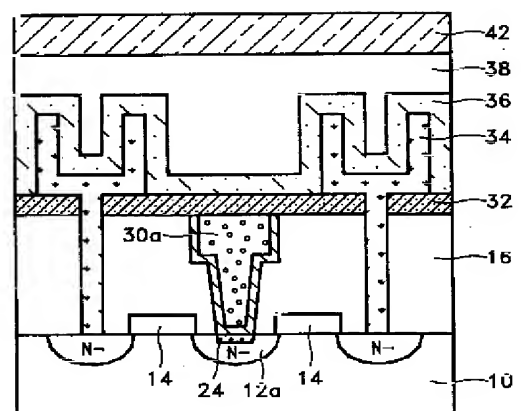
【図8】



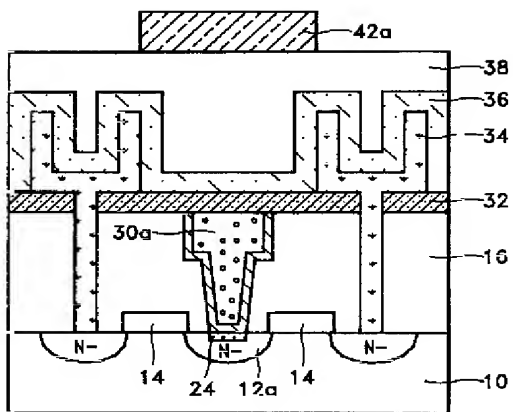
【図9】



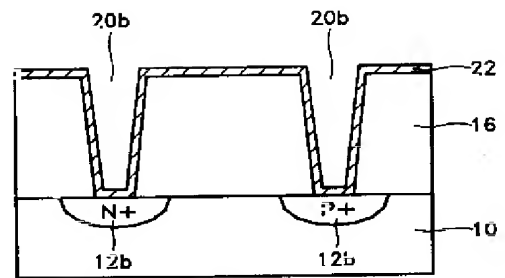
【図10】



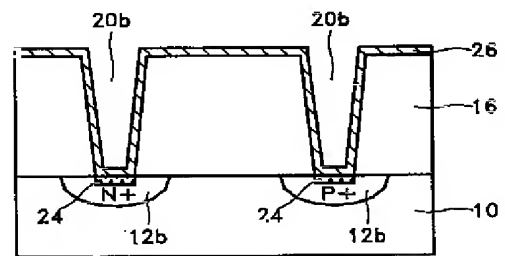
【図11】



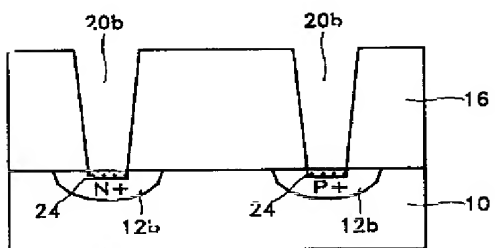
【図12】



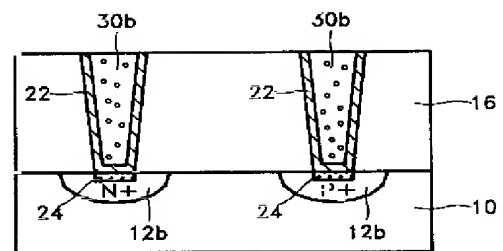
【図14】



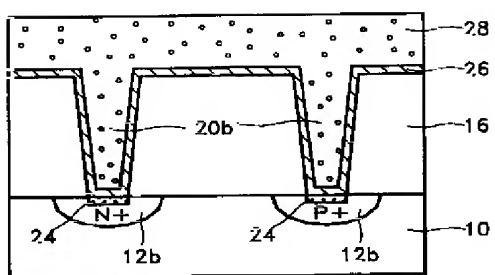
【図13】



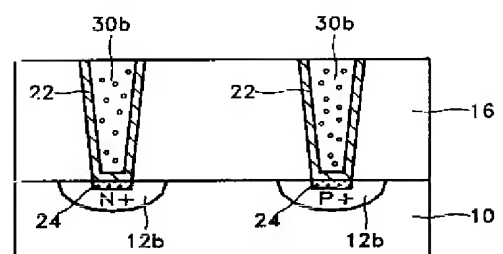
【図16】



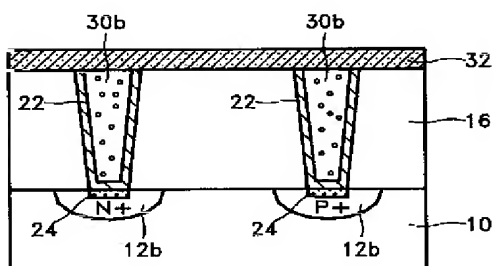
【図15】



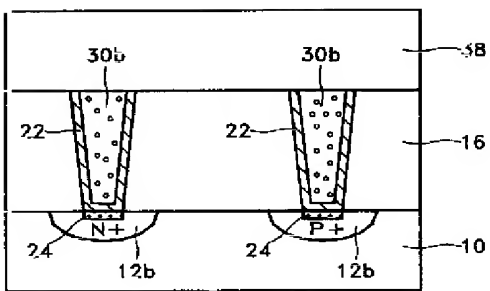
【図18】



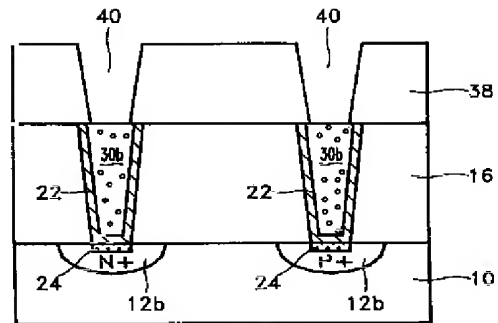
【図17】



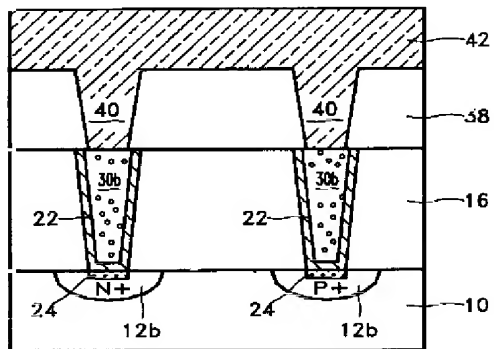
【図19】



【図20】



【図21】



【図22】

